



特許願 第 50-72549 号

特許庁長官 審判官 第 50-72549 号

1. 発明の名称 制御タイミング信号発生方式
2. 発明者 東京電機工業株式会社
佐藤 一郎 佐藤 一郎 佐藤 一郎
3. 特許出願人 東京電機工業株式会社
住所 東京都港区芝罘 2-10-1
氏名 佐藤 一郎 佐藤 一郎 佐藤 一郎
4. 代理人 山本 重雄
住所 東京都港区芝罘 2-10-1
氏名 山本 重雄
5. 添付書類の目録
(1) 明細書 1 冊
(2) 図面 1 冊
(3) 願書副本 1 冊
(4) 委任状 1 冊

⑤ 日本国特許庁 公開特許公報

①特願昭 50-72549
③公開日 昭50.(1975) 6.18
②特願昭 48-121410
②出願日 昭48.(1973) 10.29
審査請求 未請求 (全3頁)

庁内整理番号

6341 56
7376 53

⑤日本分類

977F01
985C15

⑤Int. Cl.

G06F 1/04
H03K 5/00

1. 発明の名称 制御タイミング信号発生方式

2. 特許請求の範囲

メモリとカウンタとを備え、所定の制御タイミング信号波形を一定時間間隔で分割し、各分割された区間の信号レベルを所定の順序に従って前記メモリに書き込み、その内容を前記カウンタによつて順次循環的に読み出すようにすることを特徴とする制御タイミング信号発生方式。

3. 発明の詳細な説明

本発明は回路構成が簡単でしかも多量のデータを制御タイミング信号発生させるための制御タイミング信号発生方式に関する。

従来公知の制御タイミング信号発生装置はフリップフロップ、ゲート回路で構成され多量のデータをタイミング信号発生させるには、フリップフロップ、ゲート回路の組み合わせが複雑になり回路設計が

多大の時間が必要とされることがある。

以下簡単を例をあげて従来の構成方法による制御タイミング信号発生装置について説明する。第1図に示すようにクロックパルスCpに同期した制御タイミング信号A, B, C, Dを発生させる装置を一例として考える。第1図に示すL, LはそれぞれパルスのHIGHレベル, LOWレベルを示す。

第2図は第1図に示す制御タイミング信号A, B, C, Dを一定時間間隔で分割し、各分割された信号レベルを演じたもので、例えば第1図において区間0では制御タイミング信号A, B, C, DはそれぞれL, L, L, Lであり以下同様にして区間1, 2, 3, 4においてそれぞれのパルスのレベルを演じると第1図より第2図が容易に得られる。第1図あるいは第2図で示されるような制御タイミング信号A, B, C, Dを発生させる装置の一例として第4図に示されるような回路構成が考え